

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-353155

(43)Date of publication of application : 19.12.2000

(51)Int.Cl.

G06F 15/177

(21)Application number : 11-163255

(71)Applicant : NEC CORP

(22)Date of filing : 10.06.1999

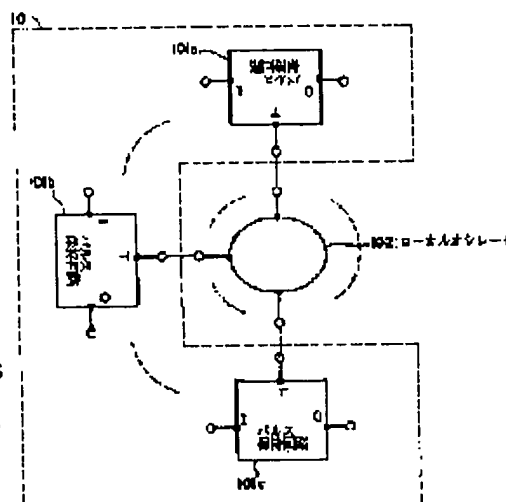
(72)Inventor : YOROZU SHINICHI

(54) ARBITER CIRCUIT AND ARBITER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the arbiter circuit which uses a superconductive pulse logic circuit by allowing a local oscillator to output timing pulses representing the timing of the output of data of a request signal accumulated by a data holding circuit.

SOLUTION: A pulse holding circuit group 101 which holds data is equipped with three pulse holding circuits 101a, 101b, and 101c. The local oscillator 102 has three output terminals, which are connected to timing terminals T of the three pulse holding circuits 101a, 101b, and 101c. Then the local oscillator 102 outputs timing pulses representing the timing of the output of data pulses of request signals accumulated by the pulse holding circuits 101a to 101c. Consequently, the arbiter circuit which uses the superconductive pulse logic circuit can be obtained.



* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A circuit which has a mediation function of a requirement signal, comprising:

A data holding circuit in which said requirement signal is stored.

A local oscillator which outputs a timing pulse showing timing which outputs data of said requirement signal which said data holding circuit stored.

[Claim 2]The arbiter circuit according to claim 1, wherein said local oscillator generates a pulse signal by a self-excitation formula, without using a clock signal supplied from the outside.

[Claim 3]The arbiter circuit according to claim 1 or 2 which said data holding circuit is provided with a superconductivity loop, and said superconductivity loop connects to looped shape a Josephson junction containing a resistance element and an inductance element, and is characterized by things.

[Claim 4]The arbiter circuit according to any one of claims 1 to 3 which said local oscillator connects to looped shape a Josephson junction containing a resistance element and an inductance element, and is characterized by things.

[Claim 5]The arbiter circuit according to claim 3 or 4 characterized by providing this current source with a resistance element for a diversion of river including a current source which supplies current to a circuit connected to said looped shape.

[Claim 6]The arbiter circuit according to claim 3 or 4, wherein said inductance element comprises a superconducting element.

[Claim 7]An arbiter system which is provided with a request circuit which generates said requirement signal arbitrated, and the arbiter circuit according to any one of claims 1 to 6, and is characterized by said request circuit being a superconducting circuit.

[Claim 8]The arbiter system according to claim 7, wherein a request circuit which is said superconducting circuit is a pulse circuit.

[Claim 9]An arbiter system comprising:

A request circuit which generates said requirement signal arbitrated.

An interface circuit which changes said requirement signal into a signal corresponding to a logic signal of a superconductivity pulse circuit, and the arbiter circuit according to any one of claims 1 to 6.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the arbiter circuit which used the Josephson junction.

[0002]

[Description of the Prior Art]In recent years, in a computer system etc., the composition between which two or more mutually-independent systems share two or more resources may be adopted. As such composition, a multiprocessor system etc. are mentioned, for example.

[0003]When such composition is adopted and each system requires use of a resource in asynchronous, it is necessary to arbitrate the demand. That is, an enabling signal is replied only to the either, when the signal which arrived first is answered to two requirement signals which come with a time lag, an enabling signal is returned and two requirement signals come simultaneously. By carrying out such operation, the arbiter circuit which arbitrates the operating condition of a resource is used widely.

[0004]However, in a superconductivity pulse circuit, an arbiter circuit does not exist the place by the present. Therefore, the circuit which uses it to some resources (for example, memory etc.) was restricted even free conventionally.

[0005]Therefore, in the superconductivity pulse circuit, when it was going to share a resource and a simultaneous demand occurred, the method which arbitrates by using the control signal from the outside was taken. Therefore, in the following explanation, the Prior art of an arbiter circuit using not a superconductivity pulse circuit but the usual semiconductor circuit is explained.

[0006]The circuit diagram of the conventional arbiter circuit is shown in drawing 10. As shown in this figure, the arbiter circuit comprises the following:

Two NOR gates 1 input and output of carried out cross linking mutually.

2 and the inverter 3.

4.

In a figure, input RX shows the requirement signal from the system X, and the input RY shows the requirement signal from the system Y. The output AX is an enabling signal to the system X, and the output AY is an enabling signal to the system Y.

[0007]The demand from each systems X and Y is expressed by making the level of a requirement signal into a low. The permission to a system is expressed by making an enabling signal into a low level. For example, if it = (L, H) Becomes (RX, RY), the system (as for L, a low level and H show high level here) X means sending the requirement signal. The state of an arbiter circuit over this state becomes output (AX, AY) = (L, H), and the enabling signal to the system X will be outputted.

[0008]When the system Y outputs a requirement signal and becomes = (RX, RY) (L, L) from the state of = (RX, RY) (L, H) and = (AX, AY) (L, H), the arbiter circuit operates as follows. In this case, it is a case where the system Y emits a requirement signal later than the system X, and since, as for an arbiter circuit, cross linking of a NOR gate carries out latch operation at this time, change holds the state of = (L, H) to an output, without happening (AX, AY). And when the requirement signal from X is canceled next (RX, RY) and it becomes = (H, L), the enabling signal to the system Y is outputted for the first time (AX, AY), and it becomes = (H, L). Mediation is performed by the above operation.

[0009]Thus, although the arbiter circuit in the conventional usual semiconductor circuit existed, an arbiter circuit does not exist in a superconductivity pulse circuit.

[0010]Josephson junction latch circuitry is shown in JP,58-148521,A. The Josephson pulse generating circuit is shown in JP,58-209220,A. The timing pulse generating circuit which used the Josephson device is shown in JP,59-189723,A. The circuit which generates soliton pulses using the Josephson track is shown in JP,62-181478,A. The delay circuit which used the Josephson device is shown in JP,63-86613,A.

[0011]

[Problem(s) to be Solved by the Invention]Now, if it is going to reproduce a circuit like the above-mentioned conventional example using a superconductivity pulse logic circuit, the problem which brings about increase of circuit structure, increase of operating time, increase of power consumption, and the fall of stability of operation will arise. This is for making a flux quantum into the logic 1 and the logic 0 with ** of a pulse signal, and nothing in the superconductivity pulse logic circuit used as a logic information unit.

[0012]That is, even when using the combination logic circuit which makes information change of a voltage level like a conventional example, the timing signal for distinguishing 1 and 0 will be needed. It is difficult especially to constitute the large inverter operation of the small operation margin of a scale in a superconductivity pulse logic circuit. Therefore, it is also

difficult to constitute a NOR gate. For this reason, the arbiter circuit using a superconductivity pulse logic circuit was difficult to realize.

[0013]Next, since high-speed operation of tens of GHz or more is possible for a superconductivity pulse logic circuit, it is very difficult to constitute the circuit on condition of a global clock. Therefore, the circuit which operates only by DC bias [an arbiter circuit] without the clock supply from the outside is needed.

[0014]this invention is made in view of the above problems, and comes out. The purpose is to provide the arbiter circuit which used the pulse logic circuit.

[0015]

[Means for Solving the Problem]To achieve the above objects, the arbiter circuit of this invention according to claim 1, In a circuit which has a mediation function of a requirement signal, it has composition containing a local oscillator which outputs a timing pulse showing timing which outputs data of said requirement signal which a data holding circuit in which said requirement signal is stored, and said data holding circuit stored. Since output timing of data is specified by a timing pulse by such composition, a requirement signal can be arbitrated by it.

[0016]The arbiter circuit according to claim 2 has considered said local oscillator as composition which generates a pulse signal by a self-excitation formula without using a clock signal supplied from the outside. By such composition, since a clock signal from the outside is not used, an arbiter circuit which does not receive restrictions of a global clock (unification synchronization) system is obtained.

[0017]In the arbiter circuit according to claim 3, said data holding circuit is provided with a superconductivity loop, and said superconductivity loop is considered as composition linked to looped shape in a Josephson junction containing a resistance element and an inductance element. It is possible for a data holding circuit to hold a logic signal of a superconductivity pulse by such composition.

[0018]The arbiter circuit according to claim 4 is considered as composition linked to looped shape in a Josephson junction in which said local oscillator contains a resistance element, and an inductance element. By such composition, the local oscillator can transmit a superconductivity pulse and can perform oscillation operation.

[0019]This current source is considered as composition provided with a resistance element for a diversion of river including a current source by which the arbiter circuit according to claim 5 supplies current to a circuit connected to said looped shape. Such composition can perform data-hold and oscillation operation by adjusting a current source.

[0020]The arbiter circuit according to claim 6 is considered as composition by which said inductance element is constituted from a superconducting element. A signal of a superconductivity pulse can be dealt with by such composition.

[0021]The arbiter system according to claim 7 is considered as a request circuit which generates said requirement signal arbitrated, and composition in which it shifts, and has that arbiter circuit and said request circuit is a superconducting circuit to mention above. According to such a system, a demand from a request circuit can be arbitrated efficiently.

[0022]The arbiter system according to claim 8 is considered as composition whose request circuit which is said superconducting circuit is a pulse circuit. According to such a system, a demand from a request circuit which is a superconducting circuit can be arbitrated efficiently.

[0023]The arbiter system according to claim 9 is considered as a request circuit which generates said requirement signal arbitrated, an interface circuit which changes said requirement signal into a signal corresponding to a logic signal of a superconductivity pulse circuit, and composition which shifts and is provided with that arbiter circuit to mention above. According to such a system, since it has an interface circuit, not only a superconducting circuit but a demand from a request circuit which is the usual semiconductor circuit can be arbitrated efficiently.

[0024]As stated above, according to this invention, it excels in simple nature, rapidity, low-power-consumption nature, stability of operation, etc. suitable for a superconductivity pulse circuit, restrictions of a global clock (unification synchronization) system are received and twisted, and an arbiter circuit and a system can be realized.

[0025]

[Embodiment of the Invention]Hereafter, the suitable embodiment of this invention is described using a drawing. According to this embodiment, the input signal [a data holding circuit] to be arbitrated is held, and a data holding circuit outputs data in response to the timing signal generated from the local oscillator. Since the local oscillator is constituted so that an output signal may be taken out only to one output terminal at once, the output from a data holding circuit is set to one at once, and mediation is performed.

[0026]Hereafter, the suitable embodiment of this invention is described using a drawing.

[A first embodiment] Drawing 1 is a block diagram showing the composition of the arbiter circuit of a first embodiment. It is the arbiter circuit which consists of two or more pulse holding circuit groups 101 and local oscillators 102. A pulse holding circuit has three input/output terminals (I, O, T). As for a requirement signal input terminal and O, an enabling signal terminal and T of I are timing terminals. The local oscillator 102 has two or more output terminals. The timing terminal T of one pulse holding circuit is connected with one of the output terminals of the local oscillator 102.

[0027]In the example shown in drawing 1, the three pulse holding circuits 101a, 101b, and 101c are included in the pulse holding circuit group 101. Corresponding to it, the local oscillator 102 has three output terminals. Each output terminal is connected to the timing terminal T of the three pulse holding circuits 101a, 101b, and 101c corresponding, respectively.

[0028]The block diagram in case the number of pulse holding circuits is two is shown in drawing 2 as simpler composition. The timing chart showing operation of the circuit shown in drawing 2 is shown in drawing 3.

[0029]Hereafter, operation of the arbiter circuit of a 1st embodiment is explained using these drawing 2 and drawing 3. The local oscillator 203 has at once the function to generate the timing pulses 212 and 222 only in one output terminal. In the case of an arbiter circuit with the two pulse holding circuits 201 and 202 like drawing 2, the timing pulses 211 and 222 appear, as shown in the timing chart of drawing 3.

[0030]The pulse holding circuits 201 and 202 operate as follows. If the input pulse 301 is inputted from the requirement signal input terminal 221, it will be held all over a circuit until this input pulse 301 has a pulse input in the timing terminal T.

[0031]In drawing 3, the pulse 301 is held until the pulse 302 arrives at the timing terminal T. It appears in the enabling signal terminal 231 through the processing time 314 of the pulse holding circuit 201 after the pulse 302 was inputted.

[0032]As the pulse 304 inputted into the requirement signal input terminal 222 is similarly shown in drawing 3, it is held until the timing pulse 305 is inputted into the timing terminal T, and after the timing pulse 305 is inputted and passing through the processing time 314 further, it appears as the pulse 306 in the enabling signal terminal 232.

[0033]The following mediation operations are performed by using such an arbiter circuit. When the time-of-arrival difference 312 of an input pulse (namely, requirement signal from each system) is longer than the oscillation cycle 311 of a local oscillator ($312 > 311$), The output of an enabling signal is previously performed to the enabling signal terminal 231 side, and the sequence of an input of the requirement signal over the requirement signal input terminals 221 and 222 is outputted to the enabling signal terminal 231 side after that, when the requirement signal input terminal 221 side is [the requirement signal input terminal 222 side] the back at the point. Same operation is performed even if the sequence of an input of a requirement signal is inputted by a reverse order.

[0034]When the time-of-arrival difference 312 of an input pulse (namely, requirement signal from each system) is conversely shorter than the oscillation cycle 311 of a local oscillator (it contains also in a simultaneous input) ($312 < 311$), an order of an input of a requirement signal and an order of the output of an enabling signal are not necessarily in agreement. However, the output timing of an enabling signal certainly has the time lag 315, and appears.

[0035]If a local oscillator is constituted simply, the length of the oscillation cycle 311 of a local oscillator can be stopped very short. Therefore, it can be said that it is a simultaneous or almost simultaneous input state in the case of $312 < 311$. It is rare for the output orders of an arbitrating circuit to become a problem generally to the input consider that is simultaneous or almost simultaneous.

[0036] Thus, even if there is an input of what kind of requirement signal, the circuit which distinguishes between an output signal, without needing the timing signal from the outside, namely, arbitrates is realizable.

[0037] [A second embodiment] The circuit diagram of the arbiter circuit of a second embodiment of this invention is shown in drawing 4. This circuit is a circuit which arbitrates when an input is two (i.e., when two systems use a common resource).

[0038] A requirement signal input terminal is two, 471 and 473. In drawing 4, the circuits 490 and 492 of the portion enclosed with a dashed line are equivalent to a data holding circuit, and 491 is equivalent to a local oscillator circuit, respectively. The data holding circuits 490 and 492 are explained first. Since the two data holding circuits 490 and 492 are circuits which carry out same operation, explanation of operation is given only about the data holding circuit 490 below.

[0039] First, the design is made so that the circuit parameter of the data holding circuit 490 may fill the following expression of relations. It writes for the value of the inductance 402 J [the critical current value of L (402) and Josephson junction 432] (432). It is considered as the same transcription method as the following.

[0040]

$$L(402) \times J(432) < \phi_0 \quad (1)$$

$$L(405) \times J(434) < \phi_0 \quad (2)$$

$$(L(403) + L(404)) \times J(433) > \phi_0 \quad (3)$$

ϕ_0 is a flux-quantum constant here. All the Josephson junctions in the text contain a resistance element.

[0041] The voltage pulse signal of one flux quantum inputted from the requirement signal input terminal 471 changes Josephson junction 432 from a superconductive state to a voltage condition, and changes the flow of current. Here, since there is a relation of a formula (1), the trap of the magnetic flux is not carried out, but current flows into the superconductivity loop 485 which consists of Josephson junction 433 of the next step, and the inductance 403, the inductance 404 and Josephson junction 432. If the value of 403, 404 and 433 is made into a parameter which fills a formula (3) in this loop, the trap of the flux quantum included in this loop will be carried out to a loop, and permanent circumference current will flow through it. That is, if the data input of "1" occurs, the circuit where the trap of the one flux quantum is carried out to the superconductivity loop 485 is constituted.

[0042] Furthermore, Josephson junction 436 is arranged in series with Josephson junction 433. The size relation of Josephson junction 436 and Josephson junction 433 is designed as follows. When the trap of the one flux quantum is carried out to the superconductivity loop 485 and the pulse of "1" is inputted from the timing terminal 480, Josephson junction 433 changes from a superconductive state to a voltage condition previously. When the trap of the flux

quantum is not carried out to the superconductivity loop 485, Josephson junction 436 changes previously.

[0043]When the trap of the magnetic flux is carried out to the superconductivity loop 485, it is equivalent to Josephson junction 433 having required the bias for the permanent circumference current, and it is easy to design give a large operation margin to operation in such the state. Under such a design, the timing terminal 480 commits the timing terminal T of the data holding circuit 490, as mentioned above. Namely, when data "1" is inputted into the timing terminal 480 and data "1" is already inputted from the requirement signal input terminal 471, The data "1" is outputted to the inductance 405 and Josephson junction 434 from the superconductivity loop 485, and Josephson junction 434 is made to change to a voltage condition. By the above-mentioned (2) formula, a flux quantum will not be held, but current will flow into the inductance 406, and an output will appear in the enabling signal terminal 472.

[0044]Next, operation of the local oscillator 491 is explained. The circuit of this local oscillator 491 is carrying out ring shape which connected the both ends of the Josephson transmission line. The relation between the critical current value of a Josephson junction and the value of inductance is filling the following formula.

[0045]

$$L(415) \times J(443) < \phi_0 \quad (4)$$

$$L(414) \times J(441) < \phi_0 \quad (5)$$

$$(L(411) + L(410)) \times J(439) < \phi_0 \quad (6)$$

$$L(408) \times J(438) < \phi_0 \quad (7)$$

$$L(409) \times J(440) < \phi_0 \quad (8)$$

$$(L(412) + L(413)) \times J(442) > \phi_0 \quad (9)$$

$$L(413) < L(412) \quad (10)$$

If suitable current is poured in from the current source 464, Josephson junction 442 will change to a voltage condition first, and a pulse will occur. One flux quantum is held by the formula (9) at the superconductivity loop 486. The current value supplied from the source 464 of the aftercurrent is lowered to about 70% of Josephson junctions 442. Under the present circumstances, since the circumference current which flows into the superconductivity loop 486 flows into a counter direction to the DC bias of Josephson junction 442, operation of generating only one flux-quantum pulse can realize it with a large margin by taking up and down DC bias.

[0046]Therefore a pulse makes Josephson junction 443, Josephson junction 441, Josephson junction 439, Josephson junction 438, and Josephson junction 440 change from the above-mentioned formula (4) to a voltage condition by a formula (8), and it spreads dynamically, changing a way as current. If the pulse enters the loop 486 from Josephson junction 440, Josephson junction 440 will change to a voltage condition. For this reason, magnetic flux is

negated and one magnetic flux newly occurs through Josephson junction 442 again. The trap of the magnetic flux is again carried out to the superconductivity loop 486 in that case, and circumference current flows. That is, in this circuit, it operates only on the bias from the outside and operation that the inside of a ring is only in one flux quantum as ** is performed.

[0047]When this flux quantum makes Josephson junction 437 or Josephson junction 443 switch, It becomes equivalent to having put the signal showing the timing from the timing terminals 480 and 481 into the pulse holding circuit 490 or 492, and serves to make data output from a data holding loop. Although the timing by which a signal is given to the timing terminals 480 and 481 must not be simultaneous, since only one pulse will have spread the inside of a circuit if this circuit is used, the time lag of the timing of 480 and 481 is guaranteed certainly.

[0048]Generally the oscillation cycle 311 of this local oscillator 491 can be held down to below the 12th power of minus second of 5×10 depending on the switching time of the Josephson junction (439, 440, 411, 412) set in parallel, and the current sources 463 and 464 of DC bias. Thus, this circuit operates as an arbiter circuit.

[0049][A third embodiment] as an example of the arbiter circuit of a third embodiment of this invention, What delayed the prescribed number, in addition the oscillation cycle 311 for the group of the inductance 410, the inductance 411, Josephson junction 439, and the current source 463 which constitute the Josephson transmission line to the superconductivity loop is mentioned.

[0050]Depending on the circuit which requires mediation, the time lag 315 of the output of the pulse in drawing 3 may have to be carried out more than a certain time. This is realizable by lengthening the Josephson transmission line of the above composition. The effect that it is the small-scale, and an operation margin can be kept large and it can realize by still such composition is done so.

[0051][A fourth embodiment] The circuit diagram of the arbiter circuit of a fourth embodiment of this invention is shown in drawing 5. The local oscillator 591 removes one bias current with two Josephson junctions of the local oscillator 491 mentioned above. Thereby, the oscillation cycle 311 of a local oscillator is made still smaller, and it is effective in improving high-speed mediation operation performance.

[0052][A fifth embodiment] The circuit diagram of the arbiter circuit of a fifth embodiment of this invention is shown in drawing 6. This widens the arbiter circuit of a first embodiment to two or more three or more request inputs, and is the three or more pulse holding circuits 600 and composition provided with the local oscillator 691 which supplies two or more timing outputs.

[0053]By such composition, when three or more systems are sharing one common resource, the arbiter circuit which can arbitrate is obtained.

[0054][A sixth embodiment] The circuit diagram of the arbiter circuit of a sixth embodiment of

this invention is shown in drawing 7. This transforms the local oscillator 491 in a first embodiment, and is taken as the local oscillator 791.

[0055]Operation of this circuit is explained. If the value of the current supplied by the current source 764 of a direct current is enlarged, when the critical current value of Josephson junction 739 will be exceeded, Josephson junction 739 changes to a voltage condition, and the flux quantum according to the value of voltage occurs continuously. The following expressions of relations are materialized between the cycle f of a flux quantum and the voltage v of the both ends of Josephson junction 739 to generate.

[0056] $V = f \Phi_0$ (11)

The superconductivity loop 785 which comprises Josephson junction 738, Josephson junction 743, and the inductance 710 has the work which carries out 2 dividing of this flux-quantum sequence that is carrying out continuous oscillation. In an initial state, the bias current supplied from the current source 763 flows into Josephson junction 743, and is in the state where bias of Josephson junction 743 is carried out so that it may be easy to change to a voltage condition. If one above-mentioned flux quantum is inputted here, Josephson junction 743 will change to a voltage condition. Then, since permanent circumference current flows through a loop, bias will be carried out by Josephson junction 738. If the 2nd magnetic flux of an above-mentioned train of impulses is inputted there, Josephson junction 738 will change to a voltage condition, and will return to an initial state.

[0057]Since such operation is performed about a train of impulses, 2 dividing of the train of impulses generated as a result is carried out, and it can generate a timing signal to the pulse holding circuit 790 and the pulse holding circuit 792 to separate timing. In this arbiter circuit, an oscillation cycle (311 of drawing 3) is determined with the value of a direct current which the current source 763 supplies, and it is effective in a high-speed oscillation near [which a Josephson device has] the limit of high-speed operation being attained.

[0058][A seventh embodiment] The configuration block figure of the arbiter system of a seventh embodiment of this invention is shown in drawing 8. In this figure, the arbiter circuits 800 are various arbiter circuits described so far. The request circuits 802a and 802b are superconductivity pulse circuits, and output the requirement signal over a common resource. The requirement signal which these request circuits 802a and 802b outputted is arbitrated in the arbiter circuit 800, and an enabling signal is outputted to either of the request circuits 802a and 802b.

[0059]Thus, according to a seventh embodiment, an arbiter system including two or more request circuits 802a and 802b is realizable.

[0060][An eighth embodiment] In a seventh embodiment of the above, the request circuits 802a and 802b were superconductivity pulse circuits. However, this invention can also constitute a system so that it may arbitrate also to request circuits other than a

superconducting circuit. The configuration block figure of such an arbiter system is shown in drawing 9. The point that the arbiter system shown in drawing 9 differs from the system of drawing 8 is having formed the interface circuits 904a and 904b between the request circuits 902a and 902b and the arbiter circuit 900. These interface circuits 904a and 904b change the signal of circuits other than a superconducting circuit into the signal corresponding to the logic signal of the superconductivity pulse circuit. Therefore, in this embodiment, the request circuit can use not a superconducting circuit but the usual semiconductor circuit.

[0061]It is possible to arbitrate like the arbiter circuit described in an eighth embodiment by such composition until now to the requirement signal from the request circuits 902a and 902b which are the usual semiconductor circuits.

[0062]

[Effect of the Invention]According to the invention in this application, the following effects are done so as stated above. According to this invention, in the circuit using a superconductivity pulse, the effect that the arbiter circuit which can realize mediation operation to two or more pulse inputs can be provided is done [1st] so.

[0063]According to the arbiter circuit of this invention, mediation does [2nd] so the effect of being realizable without the timing signal from the outside. The reason is because it has a local oscillator in the inside of the inside of an arbiter circuit.

[0064]To the 3rd, it is small-scale, and an operation margin does so to it the effect that a large circuit is realizable. The reason is for using superconductivity pulse logic not using voltage-level logic like a conventional example.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram showing the composition of the arbiter circuit of a first suitable embodiment of this invention.

[Drawing 2]It is an arbiter circuit of a first embodiment of this invention, and is a block diagram showing composition in case the number of pulse holding circuits is two.

[Drawing 3]It is a timing chart showing operation of the circuit of drawing 2.

[Drawing 4]It is a circuit diagram showing the composition of the arbiter circuit of a second suitable embodiment of this invention.

[Drawing 5]It is a circuit diagram showing the composition of the arbiter circuit of a fourth suitable embodiment of this invention.

[Drawing 6]It is a circuit diagram showing the composition of the arbiter circuit of a fifth suitable embodiment of this invention.

[Drawing 7]It is a circuit diagram showing the composition of the arbiter circuit of a sixth suitable embodiment of this invention.

[Drawing 8]It is a block diagram showing the composition of the arbiter system of a seventh suitable embodiment of this invention.

[Drawing 9]It is a block diagram showing the composition of the arbiter system of an eighth suitable embodiment of this invention.

[Drawing 10]It is a circuit diagram showing the conventional arbiter circuit.

[Description of Notations]

1, 2 NOR gates

3 and 4 Inverter

101 Pulse holding circuit group

101a, 101b, a 101c pulse holding circuit

102 Local oscillator

201, 202 pulse holding circuits
203 Local oscillator
211 and 212 Timing pulse
221 and 222 Requirement signal input terminal
231 and 232 Enabling signal terminal
301, 302, 303, 304, 305, and 306 Pulse
311 Local oscillator dispatch cycle
312 The time lag of an input pulse
313 Input pulse maintenance period
314 Processing time for a pulse output
315 The time lag of a pulse output
402, 403, 404, 405, 406, and 408 Inductance
409, 410, 411, 412, 413, and 414 Inductance
415, 417, 418, 419, 420, and 421 Inductance
432, 433, 434, 436, 437, 438 Josephson junctions
439, 440, 441, 442, 443, 444, a Josephson junction
445, 447, 448, 449 Josephson junctions
461, 462, 463, 464, 465, and 466 Current source
471 and 473 Requirement signal input terminal
472 and 474 Enabling signal terminal
480 Timing terminal
485 and 486 Superconductivity loop
490, 492 pulse holding circuits
491 Local oscillator
590, 592 pulse holding circuits
591 Local oscillator
532, 533, 534, 536, 537, 538 Josephson junctions
540, 542, 543, 544, 545, 547 Josephson junctions
548, 549 Josephson junctions
502, 503, 504, 505, 506, and 509 Inductance
510, 512, 513, 515, 517, and 518 Inductance
520 and 521 Inductance
561, 562, 564, 565, and 566 Current source
571 and 573 Input terminal
572 and 574 Output terminal
691 Local oscillator
790, 792 pulse holding circuits

791 Local oscillator
732, 733, 734, 736, 737, 738 Josephson junctions
740, 742, 743, 744, 745, 747 Josephson junctions
748, 749 Josephson junctions
702, 703, 704, 705, 706, and 710 Inductance
711, 712, 713, 717, 718, and 719 Inductance
720 and 721 Inductance
761, 762, 763, 764, 765, and 766 Current source
773 and 771 Requirement signal input terminal
772 and 774 Enabling signal terminal
785 Superconductivity loop
790, 792 pulse holding circuits
791 Local oscillator
800 Arbiter circuit
802a and 802b Request circuit
900 Arbiter circuit
902a and 902b Request circuit
904a, a 904b interface circuit

[Translation done.]

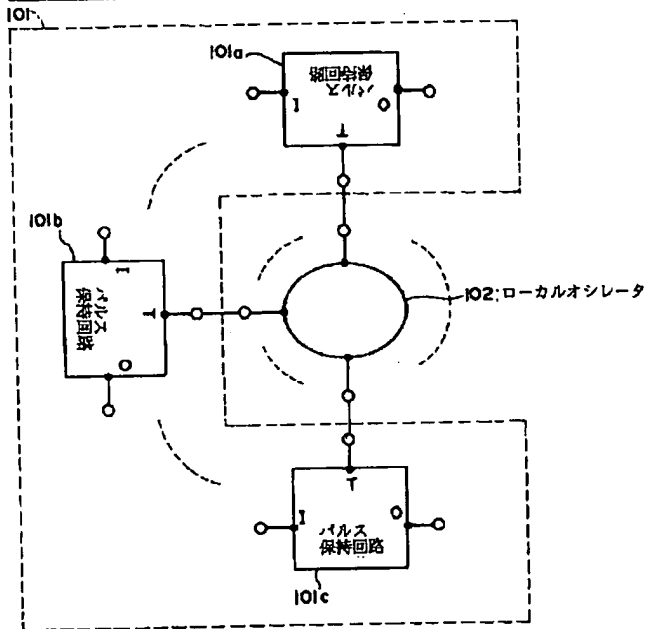
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

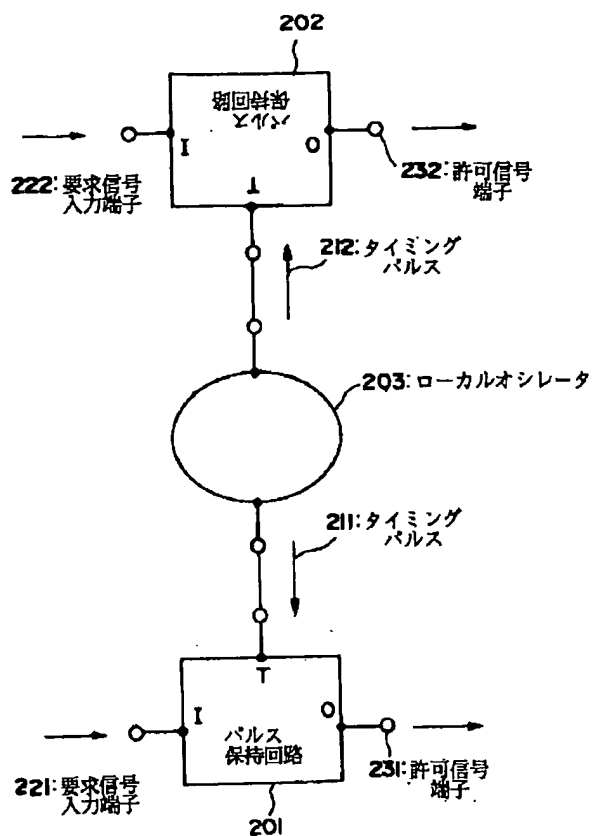
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

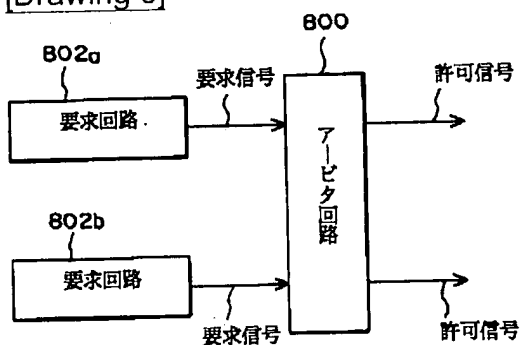
[Drawing 1]



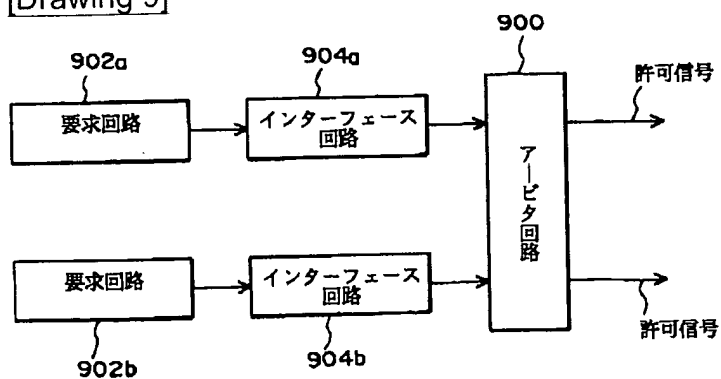
[Drawing 2]



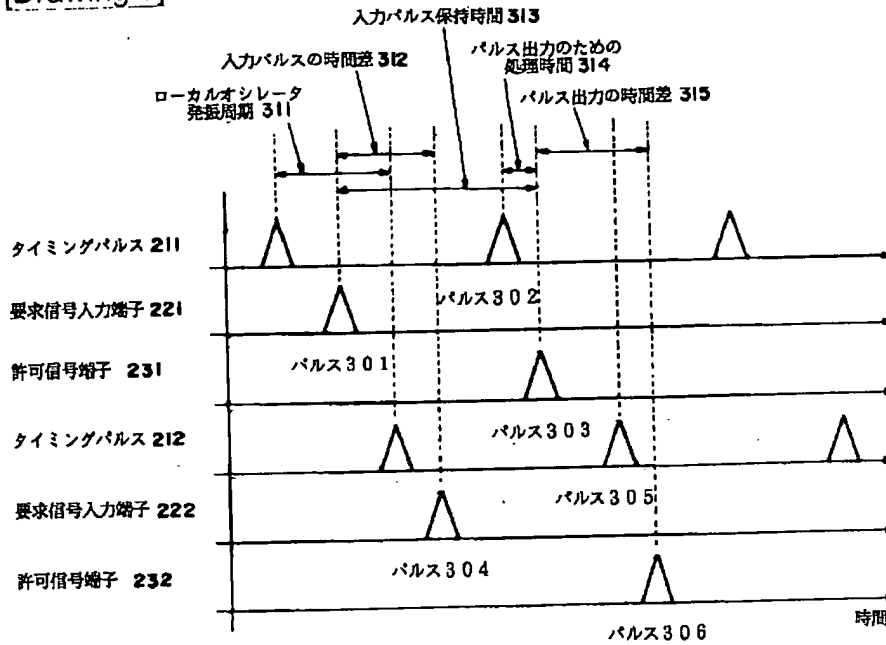
[Drawing 8]



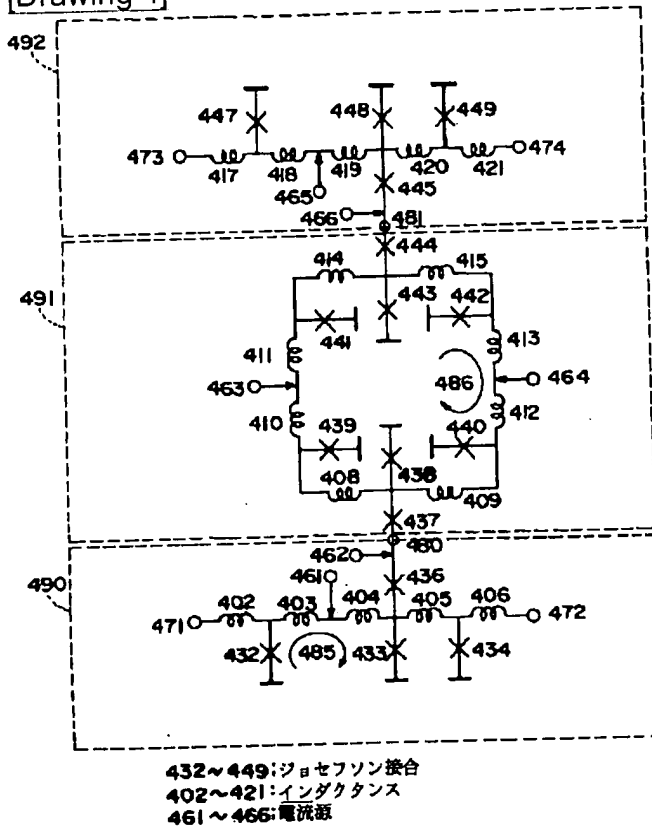
[Drawing 9]



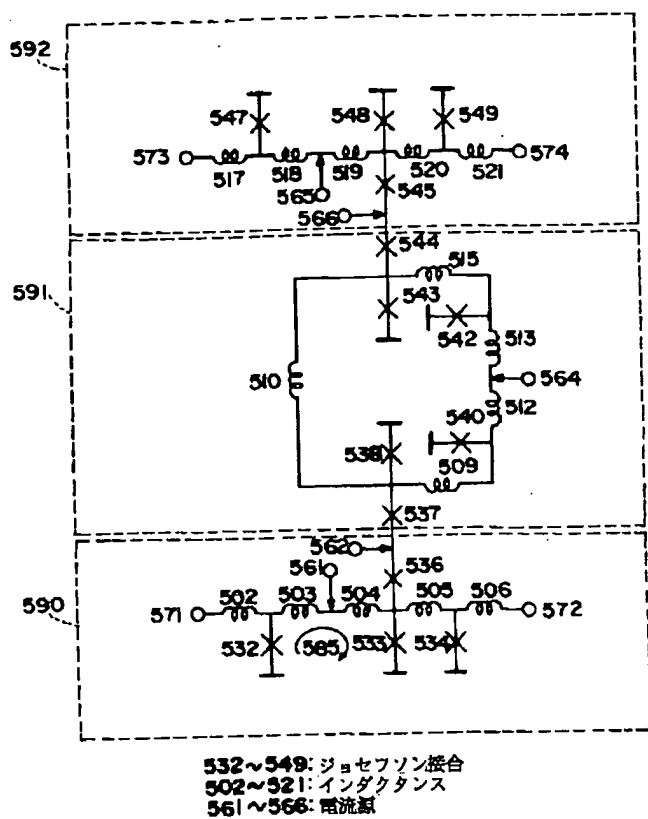
[Drawing 3]



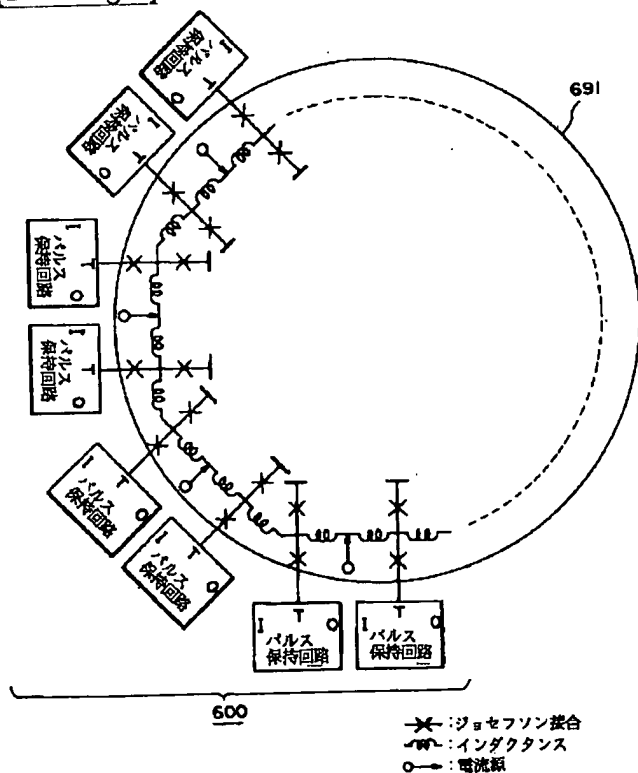
[Drawing 4]



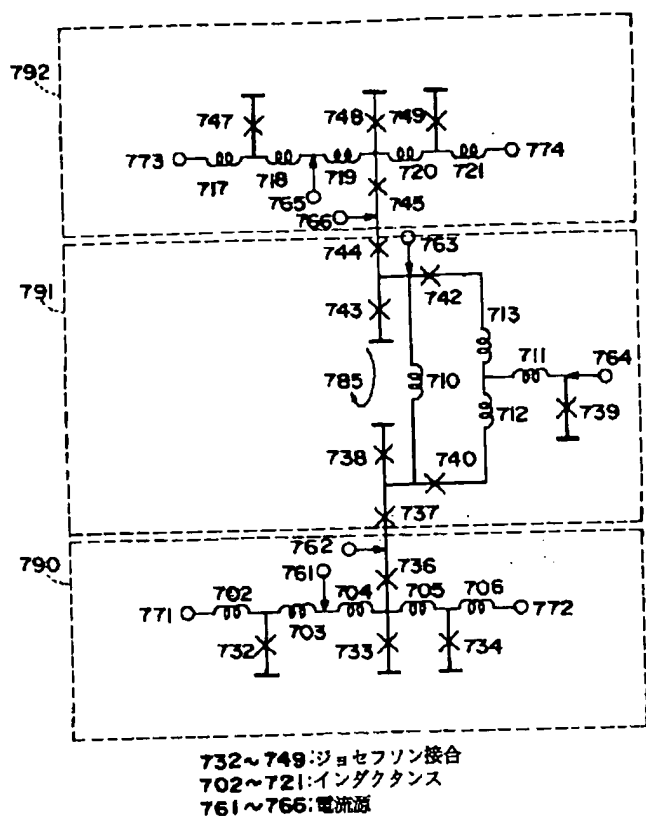
[Drawing 5]



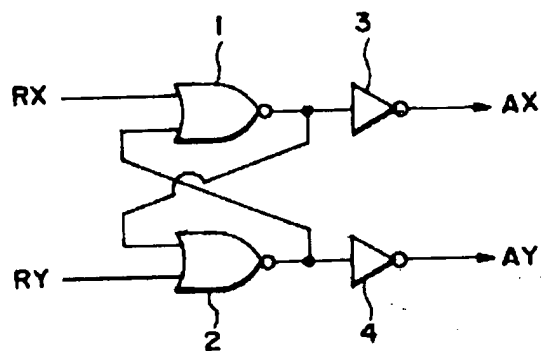
[Drawing 6]



[Drawing 7]



[Drawing 10]



[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-353155

(43)Date of publication of application : 19.12.2000

(51)Int.Cl.

G06F 15/177

(21)Application number : 11-163255

(71)Applicant : NEC CORP

(22)Date of filing : 10.06.1999

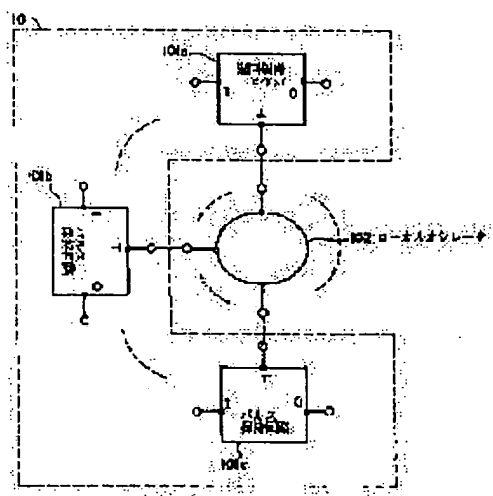
(72)Inventor : YOROZU SHINICHI

(54) ARBITER CIRCUIT AND ARBITER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the arbiter circuit which uses a superconductive pulse logic circuit by allowing a local oscillator to output timing pulses representing the timing of the output of data of a request signal accumulated by a data holding circuit.

SOLUTION: A pulse holding circuit group 101 which holds data is equipped with three pulse holding circuits 101a, 101b, and 101c. The local oscillator 102 has three output terminals, which are connected to timing terminals T of the three pulse holding circuits 101a, 101b, and 101c. Then the local oscillator 102 outputs timing pulses representing the timing of the output of data pulses of request signals accumulated by the pulse holding circuits 101a to 101c. Consequently, the arbiter circuit which uses the superconductive pulse logic circuit can be obtained.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-353155
(P2000-353155A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) Int.Cl.⁷

G 0 6 F 15/177

識別記号

6 8 2

F I

G 0 6 F 15/177

テ-マ-ト* (参考)

6 8 2 G 5 B 0 4 5

審査請求 有 請求項の数 9 O L (全 10 頁)

(21) 出願番号

特願平11-163255

(22) 出願日

平成11年6月10日 (1999. 6. 10)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 萬 伸一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100086759

弁理士 渡辺 喜平

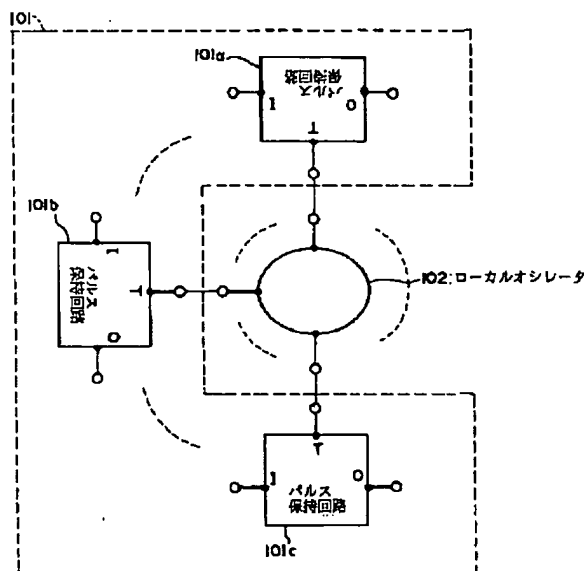
Fターム (参考) 5B045 EE01 EE17

(54) 【発明の名称】 アービタ回路及びアービタシステム

(57) 【要約】

【課題】 従来、超伝導パルス回路に適した、簡索性、高速性、低消費電力性、動作安定性などに優れ、グローバルクロック (統一同期) システムの制約を受けない、アービタ回路は実現されていなかった。

【解決手段】 本発明では、入力信号の調停機能を有する回路、すなわちアービタ回路において、入力信号を蓄えるデータ保持回路とタイミングパルスを出力するローカルオシレータを含み、ローカルオシレータは外部のクロック信号なしにパルス信号を生成し、データ保持回路及びローカルオシレータがジョセフソン接合とインダクタンス素子と抵抗素子とで構成されているアービタ回路を提供する。その結果、超伝導パルス回路に適しており、かつ、グローバルクロック (統一同期) システムの制約を受けない、アービタ回路の実現が可能になった。



【特許請求の範囲】

【請求項 1】 要求信号の調停機能を有する回路において、
前記要求信号を蓄えるデータ保持回路と、
前記データ保持回路が蓄えた前記要求信号のデータを出力するタイミングを表すタイミングパルスを出力するローカルオシレータと、
を含むことを特徴とするアービタ回路。

【請求項 2】 前記ローカルオシレータは外部から供給されるクロック信号を用いずに自励式でパルス信号を生成することを特徴とする請求項 1 記載のアービタ回路。

【請求項 3】 前記データ保持回路は、超伝導ループを備え、
前記超伝導ループは、
抵抗素子を含むジョセフソン接合と、
インダクタンス素子と、
をループ状に接続してなることを特徴とする請求項 1 又は請求項 2 記載のアービタ回路。

【請求項 4】 前記ローカルオシレータが抵抗素子を含むジョセフソン接合と、
インダクタンス素子と、
をループ状に接続してなることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載のアービタ回路。

【請求項 5】 前記ループ状に接続された回路に電流を供給する電流源を含み、この電流源は分流のための抵抗素子を備えることを特徴とする請求項 3 又は請求項 4 に記載のアービタ回路。

【請求項 6】 前記インダクタンス素子が超伝導素子で構成されていることを特徴とする請求項 3 又は請求項 4 に記載のアービタ回路。

【請求項 7】 調停される前記要求信号を発生する要求回路と、
請求項 1 乃至請求項 6 のいずれかに記載のアービタ回路と、
を備え、
前記要求回路は超伝導回路であることを特徴とするアービタシステム。

【請求項 8】 前記超伝導回路である要求回路がパルス回路であることを特徴とする請求項 7 記載のアービタシステム。

【請求項 9】 調停される前記要求信号を発生する要求回路と、
前記要求信号を、超伝導パルス回路の論理信号に合致する信号に変換するインターフェース回路と、
請求項 1 乃至請求項 6 のいずれかに記載のアービタ回路と、
を備えることを特徴とするアービタシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ジョセフソン接合

を用いたアービタ回路に関する。

【0002】

【従来の技術】 近年、コンピュータシステム等においては、複数の互いに独立なシステムが複数個のリソースを共有する構成が採用される場合がある。このような構成としては、例えば、マルチプロセッサシステム等が挙げられる。

【0003】 このような構成が採用されている場合において、リソースの使用を各システムが非同期的に要求したときに、その要求を調停する必要がある。すなわち、時間差をもって到来する 2 個の要求信号に対しては、最初に到着した信号に応答して許可信号を返却し、同時に 2 個の要求信号が到来した場合には、そのいずれか一方のみに許可信号を返信するのである。このような動作を行うことによって、リソースの使用状況の調停を行うアービタ回路が広く使用されている。

【0004】 しかしながら、超伝導パルス回路においては、現在までのところアービタ回路は存在しない。したがって、従来はあるリソース（例えばメモリなど）に対してそれを利用する回路はただ一つに限られていた。

【0005】 したがって、超伝導パルス回路において、リソースを共有しようとする場合には、同時要求が発生したときに、外部からの制御信号を用いて調停を行う方式がとられていた。そのため、以下の説明においては、超伝導パルス回路ではなく通常の半導体回路を用いたアービタ回路の従来の技術について説明する。

【0006】 図 10 には、従来のアービタ回路の回路図が示されている。この図に示すようにアービタ回路は入出力が互いに交差結合した 2 個の NOR ゲート 1、2 及びインバータ 3、4 より構成されている。図において、入力 RX はシステム X からの要求信号を示し、入力 RY はシステム Y からの要求信号を示す。また出力 AX はシステム X への許可信号、出力 AY はシステム Y への許可信号である。

【0007】 各システム X、Y からの要求は要求信号のレベルをローにすることで表現される。また、システムへの許可は許可信号をローレベルにすることで表現される。例えば、もし $(RX, RY) = (L, H)$ ならば、（ここで L はローレベル、H はハイレベルを示す）システム X が要求信号を発信していることを表す。この状態に対するアービタ回路の状態は、出力 $(AX, AY) = (L, H)$ となって、システム X への許可信号が出力されることになる。

【0008】 また、 $(RX, RY) = (L, H)$ 、 $(AX, AY) = (L, H)$ の状態から、システム Y も要求信号を出力して $(RX, RY) = (L, L)$ となった場合には、以下のようにアービタ回路は動作する。この場合は、システム X に遅れてシステム Y も要求信号を発した場合であり、このときアービタ回路は NOR ゲートの交差結合がラッチ動作をするので、出力に変化は起こら

ずに (AX, AY) = (L, H) の状態を保持する。そして、次に X からの要求信号が解除され (RX, RY) = (H, L) となった場合にはじめてシステム Y への許可信号が出力され (AX, AY) = (H, L) となる。以上の動作により調停が行われる。

【0009】このように、従来の通常の半導体回路におけるアービタ回路は存在したが、超伝導パルス回路においてはアービタ回路は存在しない。

【0010】なお、特開昭58-148521号公報には、ジョセフソン接合ラッチ回路が示されている。また、特開昭58-209220号公報には、ジョセフソンパルス発生回路が示されている。また、特開昭59-189723号公報には、ジョセフソン素子を用いたタイミングパルス発生回路が示されている。また、特開昭62-181478号公報には、ジョセフソン線路を用いてソリトンパルスを発生する回路が示されている。また、特開昭63-86613号公報には、ジョセフソン素子を用いた遅延回路が示されている。

【0011】

【発明が解決しようとする課題】さて、超伝導パルス論理回路を用いて上記従来例のような回路を再現しようとすると、回路規模の増大、動作時間の増大、消費電力の増大、動作安定性の低下をもたらす問題が生じる。これは磁束量子を論理情報単位として用いた超伝導パルス論理回路においては、パルス信号の有、無をもって論理1、論理0とするためである。

【0012】つまり、従来例のような電圧レベルの変化を情報とする組み合わせ論理回路を用いる場合でも1と0とを区別するためのタイミング信号が必要となってしまう。特に、超伝導パルス論理回路においては、規模の小さな動作マージンの広いインバータ動作を構成するのは難しい。したがってNORゲートを構成することも難しい。このため、超伝導パルス論理回路を用いたアービタ回路は実現が困難であった。

【0013】次に、超伝導パルス論理回路は数十ギガヘルツ以上の高速動作が可能であるため、グローバルクロックを前提とした回路を構成することがきわめて困難である。したがって、アービタ回路も外部からのクロック供給なしの直流バイアスのみで動作する回路が必要となる。

【0014】本発明は、以上のような問題点に鑑みなされたものであり、その目的は、超伝導パルス論理回路を用いたアービタ回路を提供することである。

【0015】

【課題を解決するための手段】上記目的を達成するために本発明の請求項1記載のアービタ回路は、要求信号の調停機能を有する回路において、前記要求信号を蓄えるデータ保持回路と、前記データ保持回路が蓄えた前記要求信号のデータを出力するタイミングを表すタイミングパルスを出力するローカルオシレータと、を含む構成と

してある。このような構成によって、データの出力タイミングがタイミングパルスによって規定されるため、要求信号の調停を行うことができる。

【0016】請求項2記載のアービタ回路は、前記ローカルオシレータは外部から供給されるクロック信号を用いずに自励式でパルス信号を生成する構成としてある。このような構成によって、外部からのクロック信号を用いていないため、グローバルクロック(統一同期)システムの制約を受けないアービタ回路が得られる。

【0017】請求項3記載のアービタ回路は、前記データ保持回路は、超伝導ループを備え、前記超伝導ループは、抵抗素子を含むジョセフソン接合と、インダクタンス素子と、をループ状に接続してなる構成としてある。このような構成によって、データ保持回路は、超伝導パルスの論理信号を保持することが可能である。

【0018】請求項4記載のアービタ回路は、前記ローカルオシレータが、抵抗素子を含むジョセフソン接合と、インダクタンス素子と、をループ状に接続してなる構成としてある。このような構成によって、ローカルオシレータは、超伝導パルスを伝達し、発振動作を行うことができる。

【0019】請求項5記載のアービタ回路は、前記ループ状に接続された回路に電流を供給する電流源を含み、この電流源は分流のための抵抗素子を備える構成としてある。このような構成によって、電流源を調整することによって、データ保持・発振動作を行うことができる。

【0020】請求項6記載のアービタ回路は、前記インダクタンス素子が超伝導素子で構成されている構成としてある。このような構成によって、超伝導パルスの信号を取り扱うことができる。

【0021】請求項7記載のアービタシステムは、調停される前記要求信号を発生する要求回路と、上述したいずれかのアービタ回路と、を備え、前記要求回路は超伝導回路である構成としてある。このようなシステムによれば、要求回路からの要求を効率よく調停することができる。

【0022】請求項8記載のアービタシステムは、前記超伝導回路である要求回路がパルス回路である構成としてある。このようなシステムによれば、超伝導回路である要求回路からの要求を効率よく調停することができる。

【0023】請求項9記載のアービタシステムは、調停される前記要求信号を発生する要求回路と、前記要求信号を、超伝導パルス回路の論理信号に合致する信号に変換するインターフェース回路と、上述したいずれかのアービタ回路と、を備える構成としてある。このようなシステムによれば、インターフェース回路を備えているため、超伝導回路だけでなく、通常の半導体回路である要求回路からの要求も効率よく調停することができる。

【0024】以上述べたように、本発明によれば、超伝

導パルス回路に適した、簡索性、高速性、低消費電力性、動作安定性などに優れ、グローバルクロック(統一同期)システムの制約を受けない、アービタ回路・システムが実現できる。

【0025】

【発明の実施の形態】以下、本発明の好適な実施形態について、図面を用いて説明する。本実施形態では、データ保持回路に調停の必要な入力信号を保持しておき、ローカルオシレータより生成されたタイミング信号を受けてデータ保持回路がデータを出力する。ローカルオシレータは一度に一つの出力端子にのみ出力信号を出すように構成されているので、データ保持回路からの出力は一度に一つとなり調停が行われる。

【0026】以下、本発明の好適な実施形態について、図面を用いて説明する。

【第一実施形態】図1は本第一実施形態のアービタ回路の構成を示すブロック図である。複数のパルス保持回路群101とローカルオシレータ102からなっているアービタ回路である。パルス保持回路は3つの入出力端子(I, O, T)を持つ。Iは要求信号入力端子、Oは許可信号端子、Tはタイミング端子である。ローカルオシレータ102は複数の出力端子を持つ。一つのパルス保持回路のタイミング端子Tはローカルオシレータ102の出力端子の一つと接続している。

【0027】図1に示されている例においては、パルス保持回路群101には、3個のパルス保持回路101a、101b、101cが含まれている。また、それに対応してローカルオシレータ102は、3本の出力端子を有している。各出力端子は、それぞれ対応する3個のパルス保持回路101a、101b、101cのタイミング端子Tに接続されている。

【0028】図2には、よりシンプルな構成として、パルス保持回路が2個の場合のブロック図が示されている。また、図3には、図2に示された回路の動作を表すタイミングチャートが示されている。

【0029】以下、本第1実施形態のアービタ回路の動作を、これら図2、図3を用いて説明する。ローカルオシレータ203は、一度に一つの出力端子にのみタイミングパルス212、222を発生する機能を持つ。図2のような2個のパルス保持回路201、202を持つアービタ回路の場合、タイミングパルス211、222は、図3のタイミングチャートに示すように現れる。

【0030】パルス保持回路201、202は次のように動作する。入力パルス301が要求信号入力端子221から入力されると、この入力パルス301はタイミング端子Tにパルス入力があるまで回路中に保持される。

【0031】図3においては、パルス301はパルス302がタイミング端子Tに到来するまで保持される。パルス302が入力された後のパルス保持回路201の処理時間314を経て許可信号端子231に現れる。

【0032】要求信号入力端子222に入力されるパルス304についても同様に、図3に示すように、タイミングパルス305がタイミング端子Tに入力されるまで保持され、タイミングパルス305が入力されてからさらに処理時間314を経た後に許可信号端子232にパルス306として現れる。

【0033】このようなアービタ回路を用いることにより次のような調停動作が行われる。入力パルス(すなわち各システムからの要求信号)の到着時間差312がローカルオシレータの発振周期311より長い場合(312 > 311)は、要求信号入力端子221、222に対する要求信号の入力のシーケンスが、要求信号入力端子221側が先で要求信号入力端子222側が後であるとき、許可信号の出力は許可信号端子231側に先に行われ、その後、許可信号端子231側に出力される。なお、要求信号の入力のシーケンスが逆順で入力されても同様の動作を行う。

【0034】また、逆に入力パルス(すなわち各システムからの要求信号)の到着時間差312がローカルオシレータの発振周期311より短い(312 < 311)の場合(同時入力の場合も含む)は、要求信号の入力の順序と、許可信号の出力の順序は必ずしも一致しない。しかし、許可信号の出力タイミングは、必ず時間差315をもって現れる。

【0035】ローカルオシレータをシンプルに構成すればローカルオシレータの発振周期311の長さは非常に短く抑えることができる。したがって、312 < 311の場合は同時又はほぼ同時の入力状態であるということが出来る。一般的に、同時もしくはほぼ同時と見なされる入力に対して、調停回路の出力順は問題になることは少ない。

【0036】このようにしていかなる要求信号の入力があっても、外部からのタイミング信号を必要とすることなしに出力信号に時間差を付ける、すなわち調停を行う回路が実現できる。

【0037】【第二実施形態】本発明の第二実施形態のアービタ回路の回路図が図4に示されている。この回路は入力が二つの場合、すなわち2個のシステムが共有リソースを利用する場合に、調停を行う回路である。

【0038】要求信号入力端子は471、473の二つである。図4において、破線で囲ってある部分の回路490、492がデータ保持回路に、491がローカルオシレータ回路にそれぞれ相当する。まずデータ保持回路490、492について説明を行う。2個のデータ保持回路490、492は同様の動作をする回路であるので、以下動作の説明はデータ保持回路490についてのみ行う。

【0039】まず、データ保持回路490の回路パラメータは次の関係式を満たすように設計がなされている。インダクタンス402の値をL(402)、ジョセフソ

ン接合432の臨界電流値をJ (432)と表記する。 *【0040】

以下同様な表記方法とする。

$$L(402) \times I(432) < \Phi 0 \quad (1)$$

$$L(405) \times J(434) < \Phi 0 \quad (2)$$

$$(L(403) + L(404)) \times J(433) > \Phi 0 \quad (3)$$

ここで Φ_0 は磁束量子定数である。なお、本文におけるジョセフソン接合は、すべて抵抗素子を含むものである。

【0041】要求信号入力端子471から入力された1磁束量子相当の電圧パルス信号は、ジョセフソン接合432を超伝導状態から電圧状態へ変化させ電流の流れを切り替える。ここで、式(1)の関係があるために磁束はトラップされず、電流は次段のジョセフソン接合433とインダクタンス403、インダクタンス404、ジョセフソン接合432からなる超伝導ループ485に流れ込む。このループにおいては403、404と433の値を式(3)を満たすようなパラメータとすると、このループに入ってきた磁束量子はループにトラップされ永久周回電流が流れる。つまり“1”のデータ入力があると超伝導ループ485に1磁束量子がトラップされる回路を構成しているのである。

【0042】さらにジョセフソン接合433と直列にジョセフソン接合436を配置する。ジョセフソン接合436とジョセフソン接合433との大小関係は次のように設計する。超伝導ループ485に1磁束量子がトラップされている場合にタイミング端子480から“1”のパルスが入力された場合、ジョセフソン接合433が先に超伝導状態から電圧状態に遷移する。もし、超伝導ループ485に磁束量子がトラップされていない場合は、※

$$L(415) \times J(443) < \Phi 0 \quad (4)$$

$$L(414) \times I(441) < \Phi 0 \quad (5)$$

$$(L(411) + L(410)) \times J(439) < 0 \quad (6)$$

$$L(408) \times J(438) < \Phi 0 \quad (7)$$

$$L(409) \times J(440) < \Phi 0 \quad (8)$$

$$(L(412) + L(413)) \times J(442) > \Phi 0 \quad (9)$$

$$L(413) \ll L(412) \quad (10)$$

電流源 464 から適当な電流を注入すると、まずジョセフソン接合 442 が電圧状態に遷移しパルスが発生する。また超伝導ループ 486 には式 (9) により磁束量子が一つ保持される。その後電流源 464 より供給する電流値をジョセフソン接合 442 のおよそ 70% 程度まで下げる。この際、超伝導ループ 486 に流れる周回電流は、ジョセフソン接合 442 の直流バイアスに対して反対方向に流れるため、直流バイアスの上げ下げをすることにより磁束量子パルスを一つだけ発生するという動作が広いマージンを持って実現できる。

【0046】上記式(4)から式(8)までによって、パルスはジョセフソン接合443、ジョセフソン接合441、ジョセフソン接合439、ジョセフソン接合438、ジョセフソン接合440を電圧状態へと遷移させ、

※ジョセフソン接合 4 3 6 が先に遷移する。

【0043】超伝導ループ485に磁束がトラップされている場合、ジョセフソン接合433はその永久周回電流分のバイアスがかかったことに相当しており、このような状態での動作に広い動作マージンを持たせるように設計することは容易である。このような設計の元で、タイミング端子480は上述したようにデータ保持回路490のタイミング端子Tの働きをする。すなわちタイミング端子480にデータ“1”が入力されたときに、既に要求信号入力端子471からデータ“1”が入力されていた場合は、そのデータ“1”が超伝導ループ485からインダクタンス405、ジョセフソン接合434へ出力され、ジョセフソン接合434を電圧状態へ遷移させる。上記(2)式によって磁束量子は保持されず電流はインダクタンス406に流れて許可信号端子472に出力が現れることになる。

【0044】次に、ローカルオシレータ491の動作について説明する。このローカルオシレータ491の回路はジョセフソントランスマッションラインの両端をつなげたリング状をしている。ジョセフソン接合の臨界電流値とインダクタンスの値との関係は次の式を満たしている。

【 0 0 4 5 】

電流の通り道を切り替えながらダイナミックに伝搬してゆく。パルスがジョセフソン接合 440 からループ 486 に入っていくと、ジョセフソン接合 440 は電圧状態に遷移する。このため磁束が打ち消されて、再びジョセフソン接合 442 を通り新たに磁束が一つ発生する。その際再び超伝導ループ 486 には磁束がトラップされ周回電流が流れる。すなわちこの回路では外部からのバイアスのみで動作し、リング中をただ一つの磁束量子が廻っているような動作を行う。

【0047】この磁束量子は、ジョセフソン接合437もしくはジョセフソン接合443をスイッチさせると、タイミング端子480、481からのタイミングを表す信号を、パルス保持回路490や492に入れたことと等価となり、データ保持ループからデータを出力さ

せる働きをする。タイミング端子 480 及び 481 に信号が与えられるタイミングは同時であってはならないが、この回路を用いれば回路内を一つのパルスのみが伝搬しているために、480、481 へのタイミングの時間差が確実に保証される。

【0048】このローカルオシレータ 491 の発振周期 311 は、並列におかれたジョセフソン接合 (439、440、411、412) のスイッチング時間と直流バイアスの電流源 463、464 に依存し、一般に 5×10 のマイナス 12 乗秒以下に抑えることができる。このようにしてこの回路はアービタ回路として動作する。

【0049】【第三実施形態】本発明の第三実施形態のアービタ回路の例として、ジョセフソントランスミッションラインを構成するインダクタンス 410、インダクタンス 411、ジョセフソン接合 439、電流源 463 のグループを、超伝導ループに所定個数加えて発振周期 311 を遅らせたもの、を挙げる。

【0050】調停を要求する回路によっては、図 3 におけるパルスの出力の時間差 315 をある時間以上にしなければならない場合がある。これは上記のような構成のジョセフソントランスミッションラインを長くすることで実現可能である。さらにこのような構成によって、最も小規模で動作マージンを広く保って実現することができるという効果を奏する。

【0051】【第四実施形態】本発明の第四実施形態のアービタ回路の回路図が図 5 に示されている。ローカルオシレータ 591 は上述したローカルオシレータ 491 のジョセフソン接合 2 個と、バイアス電流 1 個と、を取り除いたものである。これにより、ローカルオシレータの発振周期 311 をさらに小さくし、高速調停動作性能を上げる効果がある。

【0052】【第五実施形態】本発明の第五実施形態のアービタ回路の回路図が図 6 に示されている。これは第一実施形態のアービタ回路を 3 個以上の複数の要求入力に拡張したものであり、3 個以上のパルス保持回路 600 と、複数のタイミング出力を供給するローカルオシレータ 691 を備える構成である。

【0053】このような構成によって、3 個以上のシステムが 1 個の共有リソースを共有している場合において、調停を行うことができるアービタ回路が得られる。

【0054】【第六実施形態】本発明の第六実施形態のアービタ回路の回路図が図 7 に示されている。これは第一実施形態におけるローカルオシレータ 491 を変形し、ローカルオシレータ 791 としたものである。

【0055】この回路の動作を説明する。直流の電流源 764 で供給する電流の値を大きくしてゆくと、ジョセフソン接合 739 の臨界電流値を超えた時点で、ジョセフソン接合 739 が電圧状態に遷移し、電圧の値に応じた磁束量子が連続的に発生する。発生する磁束量子の周期 f とジョセフソン接合 739 の両端の電圧 v との間に

は次のような関係式が成立する。

$$【0056】 v = f \times \Phi_0 \quad (11)$$

ジョセフソン接合 738、ジョセフソン接合 743、インダクタンス 710 で構成される超伝導ループ 785 は、この連続発振している磁束量子列を 2 分周する働きを有する。初期状態において、電流源 763 から供給されるバイアス電流はジョセフソン接合 743 に流れ、ジョセフソン接合 743 を電圧状態に遷移しやすいようにバイアスしている状態にある。ここへ上述の磁束量子が一つ入力されると、ジョセフソン接合 743 は電圧状態に遷移する。すると、永久周回電流がループを流れるので、ジョセフソン接合 738 がバイアスされた状態になる。そこへ上述のパルス列の第 2 の磁束が入力されると、ジョセフソン接合 738 が電圧状態に遷移し初期状態に戻る。

【0057】このような動作をパルス列について行うので結果的に発生したパルス列は 2 分周され、別々のタイミングでパルス保持回路 790 及びパルス保持回路 792 にタイミング信号を生成することができる。このアービタ回路においては、発振周期 (図 3 の 311) は、電流源 763 が供給する直流電流の値で決定され、ジョセフソン素子の持つ高速動作の限界近くでの高速発振が可能となるという効果がある。

【0058】【第七実施形態】本発明の第七実施形態のアービタシステムの構成ブロック図が図 8 に示されている。この図において、アービタ回路 800 は、これまでに述べた種々のアービタ回路である。また、要求回路 802a、802b は、超伝導パルス回路であって、共有リソースに対する要求信号を出力する。これらの要求回路 802a、802b が出力した要求信号はアービタ回路 800 において調停され、要求回路 802a、802b のいずれか一方に対して許可信号が出力される。

【0059】このようにして本第七実施形態によれば、複数の要求回路 802a、802b を含むアービタシステムが実現できる。

【0060】【第八実施形態】上記第七実施形態においては、要求回路 802a、802b は超伝導パルス回路であった。しかし、本発明は、超伝導回路以外の要求回路に対しても調停を行うようにシステムを構成することもできる。このようなアービタシステムの構成ブロック図が図 9 に示されている。図 9 に示されているアービタシステムが、図 8 のシステムと異なる点は、要求回路 902a、902b と、アービタ回路 900 との間にインターフェース回路 904a、904b とを設けたことである。このインターフェース回路 904a、904b は、超伝導回路以外の回路の信号を、超伝導パルス回路の論理信号に合致した信号に変換する。そのため、本実施形態では、要求回路は超伝導回路ではなく、通常の半導体回路を用いることができる。

【0061】このような構成によって、本第八実施形態

では、通常の半導体回路である要求回路 902a、902b とからの要求信号に対して、今まで述べたアービタ回路と同様に調停を行うことが可能である。

【0062】

【発明の効果】以上述べたように本願発明によれば、以下のような効果を奏する。第1に、本発明によれば、超伝導パルスを用いた回路において、複数のパルス入力に対する調停動作が実現できるアービタ回路を提供できるという効果を奏する。

【0063】第2に、本発明のアービタ回路によれば、10 調停が外部からのタイミング信号なしに実現できるという効果を奏する。その理由はローカルオシレータをアービタ回路内部の内部に持ったためである。

【0064】第3に、小規模で動作マージンが広い回路が実現できるという効果を奏する。その理由は、従来例のように電圧レベル論理を用いるのではなく、超伝導パルス論理を用いるためである。

【図面の簡単な説明】

【図1】本発明の好適な第一実施形態のアービタ回路の構成を示すブロック図である。

【図2】本発明の第一実施形態のアービタ回路であって、パルス保持回路が2個の場合の構成を示すブロック図である。

【図3】図2の回路の動作を表すタイミングチャートである。

【図4】本発明の好適な第二実施形態のアービタ回路の構成を示す回路図である。

【図5】本発明の好適な第四実施形態のアービタ回路の構成を示す回路図である。

【図6】本発明の好適な第五実施形態のアービタ回路の30 構成を示す回路図である。

【図7】本発明の好適な第六実施形態のアービタ回路の構成を示す回路図である。

【図8】本発明の好適な第七実施形態のアービタシステムの構成を示すブロック図である。

【図9】本発明の好適な第八実施形態のアービタシステムの構成を示すブロック図である。

【図10】従来のアービタ回路を示す回路図である。

【符号の説明】

1、2 NORゲート
3、4 インバータ
101 パルス保持回路群
101a、101b、101c パルス保持回路
102 ローカルオシレータ
201、202 パルス保持回路
203 ローカルオシレータ
211、212 タイミングパルス
221、222 要求信号入力端子
231、232 許可信号端子
301、302、303、304、305、306 パ 50

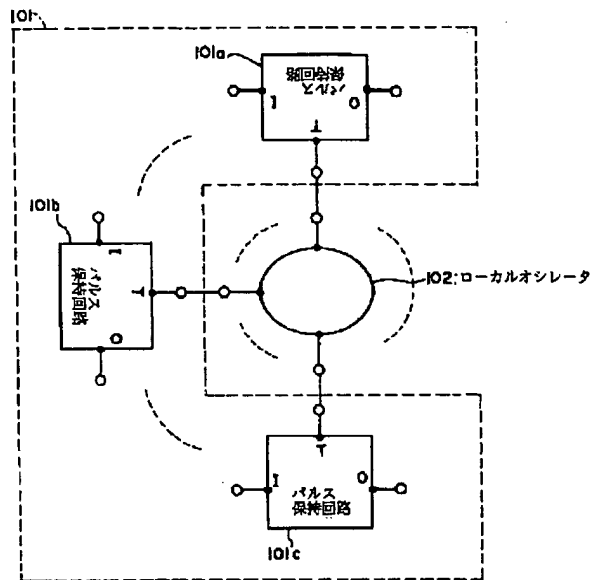
ルス

311 ローカルオシレータ発信周期
312 入力パルスの時間差
313 入力パルス保持期間
314 パルス出力のための処理時間
315 パルス出力の時間差
402、403、404、405、406、408 インダクタンス
409、410、411、412、413、414 インダクタンス
415、417、418、419、420、421 インダクタンス
432、433、434、436、437、438 ジョセフソン接合
439、440、441、442、443、444、ジョセフソン接合
445、447、448、449 ジョセフソン接合
461、462、463、464、465、466 電流源
471、473 要求信号入力端子
472、474 許可信号端子
480 タイミング端子
485、486 超伝導ループ
490、492 パルス保持回路
491 ローカルオシレータ
590、592 パルス保持回路
591 ローカルオシレータ
532、533、534、536、537、538 ジョセフソン接合
540、542、543、544、545、547 ジョセフソン接合
548、549 ジョセフソン接合
502、503、504、505、506、509 インダクタンス
510、512、513、515、517、518 インダクタンス
520、521 インダクタンス
561、562、564、565、566 電流源
571、573 入力端子
572、574 出力端子
691 ローカルオシレータ
790、792 パルス保持回路
791 ローカルオシレータ
732、733、734、736、737、738 ジョセフソン接合
740、742、743、744、745、747 ジョセフソン接合
748、749 ジョセフソン接合
702、703、704、705、706、710 インダクタンス

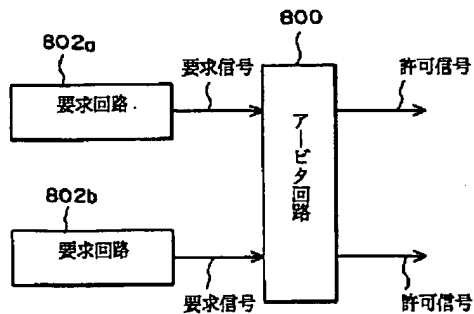
13

711、712、713、717、718、719 インダクタンス
 720、721 インダクタンス
 761、762、763、764、765、766 電流源
 773、771 要求信号入力端子
 772、774 許可信号端子
 785 超伝導ループ

【図1】



【図8】

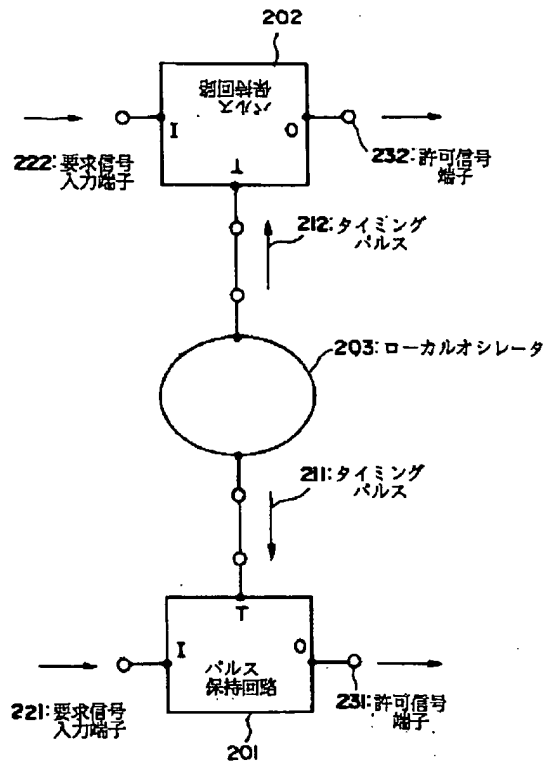


14

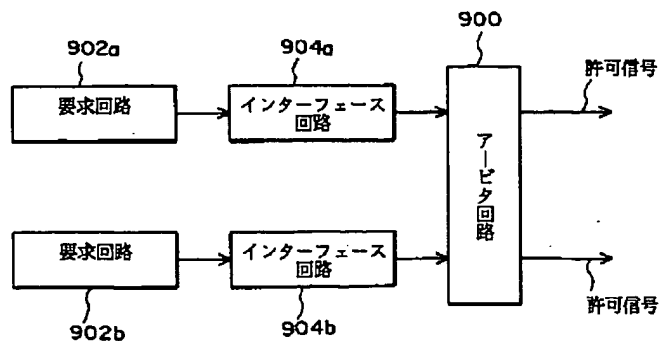
* 790、792 パルス保持回路
 791 ローカルオシレータ
 800 アービタ回路
 802a、802b 要求回路
 900 アービタ回路
 902a、902b 要求回路
 904a、904b インターフェース回路

*

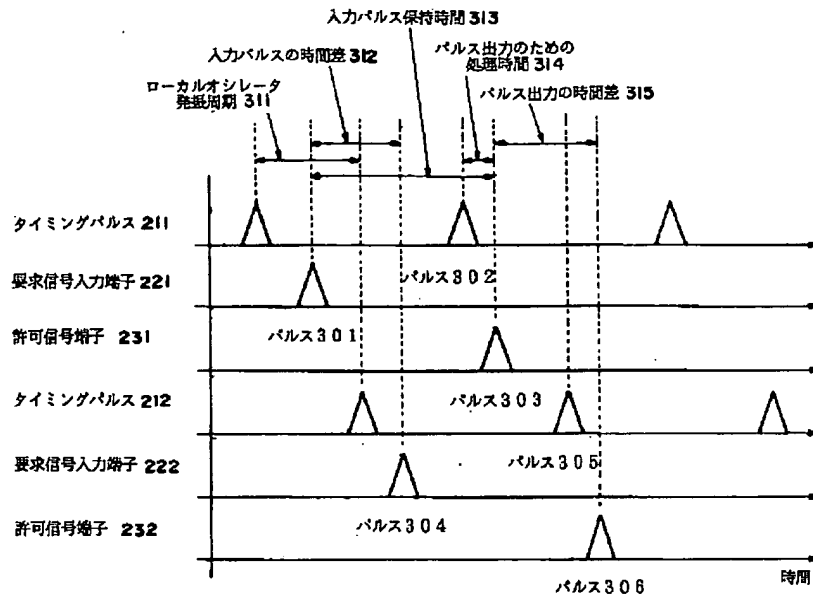
【図2】



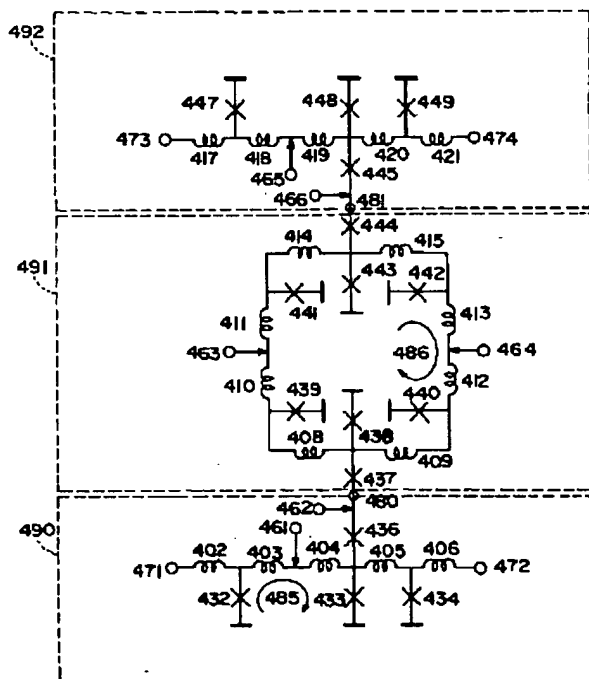
【図9】



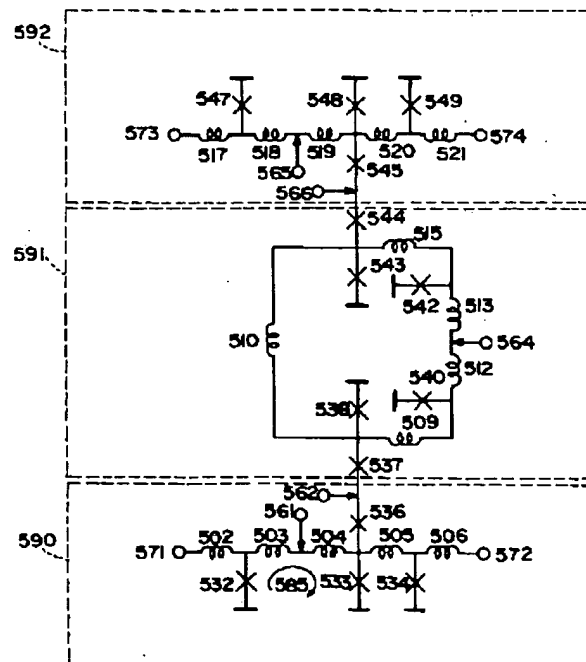
【図 3】



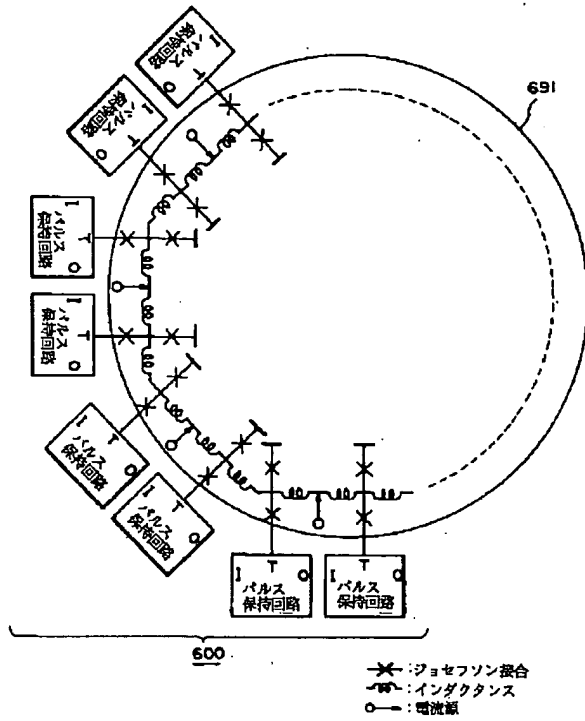
【図 4】



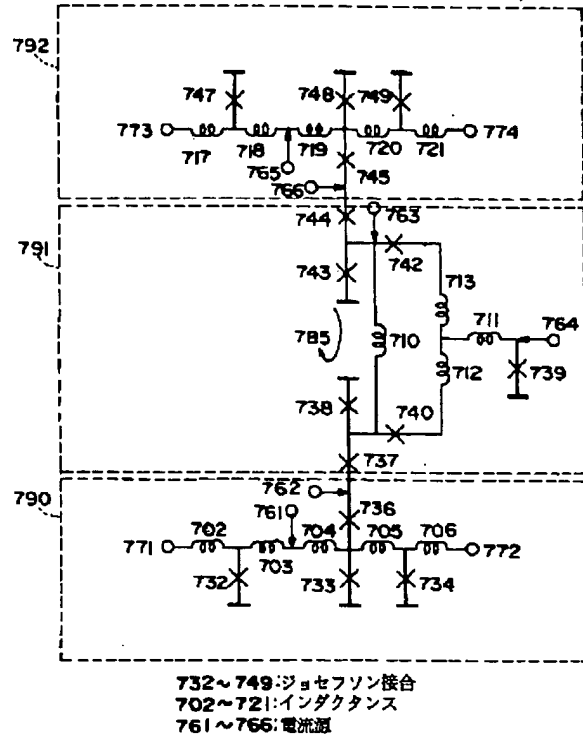
【図 5】



【図6】



【図7】



【図10】

